

PAT-NO: JP363161641A
DOCUMENT-IDENTIFIER: JP 63161641 A
TITLE: SEMICONDUCTOR MEMORY DEVICE
PUBN-DATE: July 5, 1988

INVENTOR-INFORMATION:
NAME
YOSHIMURA, KATSUNOBU

ASSIGNEE-INFORMATION:
NAME
NEC CORP
COUNTRY
N/A

APPL-NO: JP61310872
APPL-DATE: December 25, 1986

INT-CL (IPC): H01L021/82, H01L021/268, H01L021/88, H01L027/10

ABSTRACT:

PURPOSE: To prevent the generation of the defective blowout of a fuse by forming a fuse blowout section for a redundancy circuit shaped by polycide structure in a semiconductor memory storage with the redundancy circuit by a single layer only consisting of polysilicon having polycide structure.

CONSTITUTION: A fuse blowout section can be formed easily in such a manner that a passivation film 5 is grown, the fuse blowout section is bored at the same time as a pad for a metallic wiring is bored and only a tungsten-silicide layer 4 is removed through etching, using the passivation film 5 as a mask. Since the determination of the intensity of laser beams can depend upon only on the material and thickness of a polysilicon layer 3, blow-out work

can be
conducted under the conditions of proper blowout. Accordingly, the
accidents
of the defective blowout of fuses which have occurred frequency can
reduced
largely, and the problem of the deterioration of reliability due to
contamination can also be solved simultaneously.

COPYRIGHT: (C)1988,JPO&Japio

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 昭63-161641

⑬ Int. Cl.⁴ 識別記号 庁内整理番号 ⑭ 公開 昭和63年(1988)7月5日
H 01 L 21/82 8526-5F
21/268 6708-5F
21/88 8624-5F
27/10 491 審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 半導体記憶装置

⑯ 特 類 昭61-310872

⑰ 出 願 昭61(1986)12月25日

⑱ 発 明 者 吉 村 克 信 東京都港区芝5丁目33番1号 日本電気株式会社内
⑲ 出 願 人 日 本 電 気 株 式 会 社 東京都港区芝5丁目33番1号
⑳ 代 理 人 井 理 士 内 原 晋

明 細 書

発明の名称
半導体記憶装置

特許請求の範囲

内部配線がポリサイド構造のリダダンシー回路を備える半導体記憶装置において、前記リダダンシー回路のヒューズ溶断部が前記ポリサイド構造における下層のポリシリコン層のみで形成されていることを特徴とする半導体記憶装置。

発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体記憶装置に関し、特にポリサイドヒューズのリダダンシー回路を有する半導体記憶装置に関する。

〔従来の技術〕

今日、半導体記憶装置のリダダンシー回路には、通常ポリサイド層(ポリシリコンとシリサイドの

2層膜)がヒューズ材として使用される。

第2図は従来のこの種の半導体装置のリダダンシー回路におけるヒューズ溶断部の断面構造図で、ヒューズ溶断部は例えばポリシリコン層3とタングステンシリサイド層4との2層構造からなる。ここで、1、2および4はそれぞれ半導体基板、フィールド絶縁膜およびパッシベーション膜である。

〔発明が解決しようとする問題点〕

しかしながら、このようにヒューズ溶断部にポリシリコン層3とシリサイド層4からなる2層膜を内部配線の延長としてそのまま使用とすると、レーザー光などの溶断条件の設定が非常に難しく溶断不良を多発せしめる。

すなわち、このヒューズ溶断作業には、互いに物性を異にする2種類の膜を同時に溶断せねばならないので照射すべきレーザー光の強度設定に著しい困難が伴う。従って、レーザー光の強度が弱すぎれば溶断が不十分となり、逆に強すぎれば下層のフィールド絶縁膜に損傷を与えるなどの好まし

からざる溶断不良がしばしば起こる。また、2層膜が同時に溶断するので飛散量も大きくヒューズ溶断部周辺を汚染して半導体装置の信頼性に悪影響を及ぼすようになる。一般にリダングシー回路をもつ半導体記憶装置、例えば256Kビット半導体記憶装置では1ビットの穴長ビットを正規ビットに置換するのに少なくとも数十個所のヒューズ溶断が必要とされるので、この溶断作業の難易性および確実性が生産歩留に及ぼす影響はきわめて大きく製造技術上軽々に取扱うことはできない。

本発明の目的は、上記の状況に鑑み、ヒューズ溶断をきわめて容易且つ確実に行ない得るリダングシー回路を備えた半導体記憶装置を提供することである。

(問題点を解決するための手段)

本発明によれば、内部配線がポリサイド構造のリダングシー回路を備える半導体記憶装置は、前記リダングシー回路のヒューズ溶断部が前記ポリサイド構造における下層のポリシリコン層のみで

形成されていることを含んで構成される。

すなわち、本発明半導体記憶装置におけるリダングシー回路のヒューズ溶断部はポリサイド構造配線からシリサイド層を除去した下層のポリシリコン層のみで形成される。従って、従来問題になっていたレーザ光の強度設定が容易となり溶断条件の決定を適正且つ迅速に行ない得るので、溶断不良の発生が著しく抑止されるのみならず、ポリシリコンの単一層のみが溶断されるので飛散量も半減しヒューズ溶断部周辺の汚染による信頼性低下の問題点を改善される。

(実施例)

以下図面を参照して本発明を詳細に説明する。

第1図は本発明の一実施例を示すリダングシー回路におけるヒューズ溶断部の断面図である。本実施例によれば、本発明半導体記憶装置におけるリダングシー回路のヒューズ溶断部は、ポリサイド構造配線からタングステン・シリサイド層4を除去したポリシリコン層3からなる単一層のみによって形成される。ここで1、2および5は第2

図と同じくそれぞれ半導体基板、フィールド絶縁膜およびパッシベーション膜である。本発明にかかるヒューズ溶断部はパッシベーション膜5を成長した焼金膜配線用パッドの開孔と同時にヒューズ溶断部を開孔し、更にこのパッシベーション膜5をマスクとしてタングステン・シリサイド層4のみをエッチング除去すれば容易に形成することができる。本実施例によればレーザ光の強度決定はポリシリコン層3の材質および厚さのみに依存できるので適正な溶断条件で溶断作業を行ない得る。従って、従来多発していたヒューズ溶断不良事故を大幅に減少することができた。汚染による信頼性低下の問題点も同時に解決し得るので、生産歩留りの向上に顕著なる効果をあげることができる。

以上はポリサイド構造としてタングステン・ポリサイドを用いた場合を説明したが、チタン・ポリサイド或いはモリブデン・ポリサイドを使用した場合でも全く同一の効果を奏し得ることは明らかである。

(発明の効果)

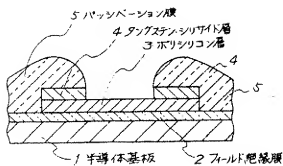
以上詳細に説明したように、本発明によればリダングシー回路を有する半導体記憶装置におけるポリサイド構造で作られたリダングシー回路のヒューズ溶断部はポリサイド構造のポリシリコンのみの単一層で形成され、適正な溶断条件でレーザ光照射を行なうことができるので、従来多発していたヒューズ溶断不良の発生を有効に防止することが可能である。

図面の簡単な説明

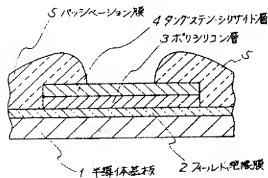
第1図は本発明の一実施例を示すリダングシー回路におけるヒューズ溶断部の断面図、第2図は従来のこの種の半導体装置のリダングシー回路におけるヒューズ溶断部の断面構造図である。

1…半導体基板、2…フィールド絶縁膜、3…ポリシリコン層、4…タングステン・シリサイド層、5…パッシベーション膜。

代理人 弁理士 内 原 啓



第1図



第2図